

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284387
(43)Date of publication of application : 12. 10. 2001

(51)Int. Cl. H01L 21/60

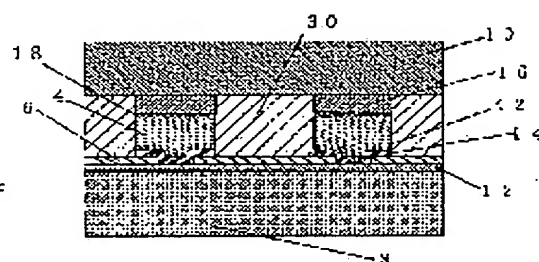
(21)Application number : 2000-101816 (71)Applicant : CITIZEN WATCH CO LTD
(22)Date of filing : 04. 04. 2000 (72)Inventor : UEDA KOICHI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE, AND MOUNTING STRUCTURE OF THE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a connection which causes no defective conduction, e.g. short circuit or open circuit, or unstable connection stably and inexpensively, even if the area is limited due to high density and fine pitch of transparent electrode pads on a glass substrate and bump electrodes on a semiconductor chip.

SOLUTION: The semiconductor device comprises I/O terminals, i.e., electrode pads 16 provided on a semiconductor substrate 2, an insulation film 6 provided on the semiconductor substrate 2 to expose the electrode pads 16, lower electrodes having at least aluminum provided on the electrode pads 16, and bump electrodes 4 provided on the lower electrodes where acicular bumps 42 are provided on the surface of the lower electrodes and protrusions and recesses corresponding to the acicular bumps 42 on the surface of the lower electrodes are provided on the top of the bump electrode.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-284387

(P2001-284387A)

(43)公開日 平成13年10月12日(2001. 10. 12)

(51)Int.Cl.⁷

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

21/92

テーマト* (参考)

3 1 1 S 5 F 0 4 4

6 0 2 G

6 0 2 H

6 0 4 M

6 0 4 B

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号

特願2000-101816(P2000-101816)

(22)出願日

平成12年4月4日(2000. 4. 4)

(71)出願人 000001960

シチズン時計株式会社

東京都西東京市田無町六丁目1番12号

(72)発明者 上田 光一

埼玉県所沢市大字下富字武野840番地 シ

チズン時計株式会社技術研究所内

Fターム(参考) 5F044 KK01 LL11 LL15 QQ02 QQ04

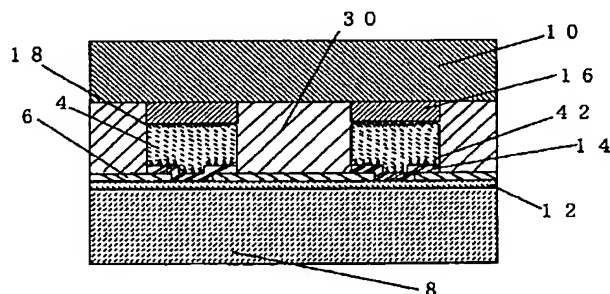
QQ05 RR18

(54)【発明の名称】 半導体装置とその製造方法ならびに半導体装置の実装構造

(57)【要約】

【課題】 ガラス基板の透明電極パッドおよび半導体チップ上の突起電極の高密度、および狭ピッチ化の際、狭面積化しても、ショートやオープン等の導通不良や導通不安定のない接続を、安定かつ安価に供給する。

【解決手段】 半導体基板2に設ける入出力端子である電極パッド16と、その半導体基板2上に設け、電極パッド16が露出するように設ける絶縁膜6と、電極パッド16上に設け、すくなくともアルミニウムを有する下部電極と、その下部電極上に設ける突起電極4とを備え、下部電極表面には針状突起42を有し、その下部電極表面の針状突起42に対応して突起電極の頂部には凹凸を有する。



【特許請求の範囲】

【請求項1】 半導体基板に設ける入出力端子である電極パッドと、

その半導体基板上に設け、電極パッドが露出するように設ける絶縁膜と、

電極パッド上に設け、すくなくともアルミニウムを有する下部電極と、

その下部電極上に設ける突起電極とを備え、

下部電極表面には針状突起を有し、

その下部電極表面の針状突起に対応して突起電極の頂部には凹凸を有することを特徴とする半導体装置。

【請求項2】 下部電極は、

半導体基板側からアルミニウムとクロムと銅との積層膜である請求項1記載の半導体装置。

【請求項3】 突起電極の断面形状は、

マッシュルーム、またはストレートウオールである請求項1記載の半導体装置。

【請求項4】 パッド電極を形成した半導体基板上に絶縁膜を形成し、その絶縁膜を選択的に開口してパッド電極を露出させる工程と、

全面にすくなくともアルミニウムを有する共通電極膜を形成する工程と、

高温と低温との温度サイクルを行ない、その共通電極膜表面に針状突起を形成する工程と、

全面にメッキレジストを形成し、フォトリソグラフィ処理によりパッド電極領域上に開口を形成する工程と、メッキレジストの開口内に突起電極をメッキ処理によって形成する工程と、

突起電極に整合する領域の突起電極膜を残すようにその共通電極膜をエッチング処理して下部電極を形成する工程と、

半導体基板をダイシングして半導体チップを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板に設ける入出力端子である電極パッドと、

その半導体基板上に設け、電極パッドが露出するように設ける絶縁膜と、

電極パッド上に設け、すくなくともアルミニウムを有する下部電極と、

その下部電極上に設ける突起電極とを備え、

下部電極表面には針状突起を有し、その下部電極表面の針状突起に対応して突起電極の頂部には凹凸を有する半導体チップと、

配線パターンを有する回路基板と、

頂部に凹凸を有する突起電極と配線パターンとを接続し、

半導体チップと回路基板のあいだに設ける封止樹脂を有することを特徴とする半導体装置の実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の形成面側を下向きに実装する半導体チップのフェースダウンボンディング技術にかんし、電気的および機械的に接続するための半導体チップ上の突起電極の構造およびその製造方法とフェースダウンボンディングによる半導体装置の実装構造にかんする。

【0002】

【従来の技術】近年、半導体チップの高密度化にともない、電極間ピッチが極端に小さくなってきており、回路基板と半導体チップの実装接続面積、すなわち接続する際の電極面積が狭くなる傾向にある。

【0003】その代表的なものとして、図10を用いてCOG（チップ・オン・ガラス）ペースト実装法の実装構造を説明する。

【0004】以下、図11から図19を用いて製造方法を説明する。

【0005】液晶表示装置を構成するガラスからなる基板の周辺部を拡張し、この拡張した領域に、液晶表示装置を駆動する複数の半導体チップを搭載した従来技術としてチップオンガラス（以下COGと称す）ペースト実装がある。

【0006】図10に示すように、二枚のガラス基板24間の空隙に液晶48を封入し、印刷法で形成するシール材54によってなる液晶表示装置38のガラス基板24上に真空蒸着法もしくはスパッタリング法を用いて形成された、酸化インジウムスズ（以下ITOと称す）等の透明電極46によって画素パターンを形成すると同時に、ガラス基板24の周辺部を拡張し、この拡張した領域にITO等の透明電極46を引き回し、この配線上に液晶表示装置38を駆動する複数の半導体チップ8を実装する。

【0007】図10は、液晶表示装置に半導体チップの実装を行った状態を示す断面図である。

【0008】5μm～50μmの高さの銅（Cu）や金（Au）からなる突起電極4を有する半導体チップ8と、ガラス基板24上にITOで形成された透明電極46パッドとを機械的および電気的に導電性接着剤44で接続する。

【0009】そして、半導体チップ8とガラス基板24の隙間を封止樹脂で充填する構造になっている。

【0010】液晶表示装置38上の入力側の透明電極配線は、さらにフレキシブル基板32（以下FPCと称す）の配線とFPC用の異方性導電膜36を介して電気的機械的に接続している。

【0011】つぎに従来技術における前述に構造を形成するための製造方法について図面を用いて説明する。

【0012】図11で示すように、半導体基板2は、アルミ配線12以外は、窒化シリコン膜（SiN）などの絶縁膜6で覆われ外部とは電気的に絶縁されている。

【0013】半導体基板2のアルミ配線12上に真空蒸

着法やスパッタリング法を用いて、金属拡散を防止するバリアメタル層でもあり電解メッキを行なうための電極となる共通電極膜14を形成する。

【0014】つぎに、図12に示すようにレジスト膜26を形成し、選択的に突起電極を形成する箇所に電解メッキを行なうために、アルミ配線12上部の必要箇所を選択的に開口する。

【0015】その後、図13に示すように、共通電極膜14上に銅(Cu)を電解メッキ法で形成し、その後、金(Au)を電解メッキ法を用いて形成することによって、マッシュルーム状の突起電極4を形成する。

【0016】その後、図14に示すようにレジスト膜26を除去し、図15に示すように、突起電極以外の共通電極膜をエッチング液で除去する。

【0017】最後に、半導体基板2内の隣接する半導体チップの境界部を切断(以下ダイシングと称す)処理することにより、半導体基板2を単個の半導体チップ8に切り分ける。

【0018】つぎに、図16に示すように、半導体チップ8上の突起電極4に銀(Ag)、または銀(Ag)とパラジウム(Pd)の合金膜などの導電性粒子を混入したエポキシ系の導電性接着剤44を転写法を用いて、塗布し、図17に示すように、突起電極4に導電性接着剤44塗布後の半導体チップ8とガラス基板24に形成された突起電極4に対応した透明電極46をアライメント後、図18に示すようにフェースダウンボンディング実装を行ない、熱硬化を行ない電気的および機械的に接続する。

【0019】導電性接着剤44は、通常、エポキシ系接着剤を使用するため、硬化は80℃～120℃程度で熱硬化を行ない、ガラス基板24上の透明電極46と半導体チップ8上の突起電極4を接着し、電気的および機械的に接続する。

【0020】最後に、図19に示したように、半導体チップ8とガラス基板24の隙間に封止樹脂22を充填し、硬化させることによって、さらに信頼性を高めている。

【0021】また、図10で右方に形成されている、ガラス基板24上の透明電極46上には、導電性粒子が混在されているFPC用異方性導電膜36を介在させてFPC基板32を配置し、そのFPC基板32に対しても加熱した状態で加圧し、熱圧着を行なう。

【0022】FPC基板32は、半導体チップ8に給電したり入力信号を与えるためにポリイミドシート上に銅(Cu)配線電極がパターンニングされているフィルムであり、接続ピッチは、80～100μm程度である。

【0023】

【発明が解決しようとする課題】従来技術では、安定して接続可能な電極間ピッチは150μm程度であり、これより電極間ピッチが狭くなると、半導体チップ上の突

起電極への導電性接着剤の転写の際に転写ダレ現象が発生して、隣接電極間のショートが発生する。

【0024】さらに、導電性接着剤の転写ばらつきにより、半導体チップ上の突起電極に導電性接着剤が転写されない箇所が多数発生し、オープン不良になる。

【0025】[発明の目的]本発明の目的は、上記課題を解決して、ガラス基板の透明電極パッドおよび半導体チップ上の突起電極の高密度、および狭ピッチ化の際、狭面積化しても、ショートやオープン等の導通不良や導通不安定のない接続を、安定かつ安価に供給できる半導体装置とその製造方法ならびに半導体装置の実装構造を提供することである。

【0026】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置とその製造方法ならびに半導体装置の実装構造は、下記記載の手段を採用する。

【0027】本発明の半導体装置は、半導体基板に設ける入出力端子である電極パッドと、その半導体基板上に設け、電極パッドが露出するように設ける絶縁膜と、電極パッド上に設け、すくなくともアルミニウムを有する下部電極と、その下部電極上に設ける突起電極とを備え、下部電極表面には針状突起を有し、その下部電極表面の針状突起に対応して突起電極の頂部には凹凸を有することを特徴とする。

【0028】本発明の半導体装置の製造方法においては、パッド電極を形成した半導体基板上に絶縁膜を形成し、その絶縁膜を選択的に開口してパッド電極を露出させる工程と、全面にすくなくともアルミニウムを有する共通電極膜を形成する工程と、高温と低温との温度サイクルを行ない、その共通電極膜表面に針状突起を形成する工程と、全面にメッキレジストを形成し、フォトリソグラフィ処理によりパッド電極領域上に開口を形成する工程と、メッキレジストの開口内に突起電極をメッキ処理によって形成する工程と、突起電極に整合する領域の突起電極膜を残すようにその共通電極膜をエッチング処理して下部電極を形成する工程と、半導体基板をダイシングして半導体チップを形成する工程とを有することを特徴とする。

【0029】本発明の半導体装置の実装構造は、半導体基板に設ける入出力端子である電極パッドと、その半導体基板上に設け、電極パッドが露出するように設ける絶縁膜と、電極パッド上に設け、すくなくともアルミニウムを有する下部電極と、その下部電極上に設ける突起電極とを備え、下部電極表面には針状突起を有し、その下部電極表面の針状突起に対応して突起電極の頂部には凹凸を有する半導体チップと、配線パターンを有する回路基板と、頂部に凹凸を有する突起電極と配線パターンとを接続し、半導体チップと回路基板のあいだに設ける封止樹脂を有することを特徴とする。

【0030】[作用]半導体基板上に突起電極を形成す

る際、共通電極膜を形成するとき、共通電極膜の第1の突起電極膜であるアルミニウム(A1)の膜上に針状突起を形成することによって、共通電極膜上に微小突起を多数形成する。

【0031】そして、その後、メッキ工程にて突起電極を形成するが、このときバンプ表面には、共通電極膜の表面に形成された針状突起にメッキが等方的成長し、突起電極上に微小突起が形成される。

【0032】半導体基板上に形成した突起電極表面をフラットではなく、本発明の半導体装置においては凹凸状にし、回路基板上の電極パッドと半導体チップ上に形成された突起電極との接続を面接触実装から点接触実装にする。

【0033】回路基板と半導体チップの機械的な接着は、エポキシ樹脂等の熱硬化樹脂を介し、熱圧着を行なう。

【0034】本発明による半導体装置の構造と製造方法は、半導体基板上に形成した突起電極上に選択的に微小突起を多数形成し、突起電極表面を微細な凹凸が多数形成された状態にする。

【0035】このことにより、回路基板に形成された電極パッドと突起電極の点接続を促すための接続点を多く意図的に作製することにより、本発明の半導体装置においては、狭ピッチで小面積化された半導体装置の接続安定化が図れる。

【0036】さらに、突起電極上に微小突起を多数形成することで、熱圧着する際の表面積を増やすことができ、エポキシ等の熱硬化性樹脂で接続した箇所の機械的接着力が増加する。

【0037】また、熱硬化樹脂中に導電粒子を混入した異方性導電膜を使用しないため、簡便でしかも安価に工業的に優れた半導体構造とその製造方法を提供できる。

【0038】

【発明の実施の形態】以下、図面を用いて本発明の最適な実施の形態における半導体装置とその製造方法、および半導体装置の実装構造を説明する。

【0039】〔半導体装置の構造説明：図1〕図1に示すように、本発明における半導体基板上に形成された突起電極の構造を説明する。

【0040】半導体基板2のアルミ電極12上に、アルミニウム(A1)とクロム(Cr)と銅(Cu)との積層膜からなる共通電極膜14を有し、共通電極膜14上に銅(Cu)と金(Au)とからなる突起電極を有している。

【0041】この銅(Cu)と金(Au)とからなる突起電極の頂部には多数のこぶ状の微小突起18が形成されており、突起電極4表面は多数の凹凸を有することが本発明の特徴となっている。

【0042】本発明における半導体装置の実装構造は、15 μ m高さの金(Au)からなる突起電極4を有する

半導体チップと回路基板10上に形成された電極パッド16を機械的および電氣的にエポキシ樹脂などの熱硬化性樹脂30で接続する。

【0043】このエポキシ樹脂などの熱硬化性樹脂30は、半導体チップ8と回路基板10の隙間の封止も兼ねる構造となっている。

【0044】〔半導体装置の製造方法の説明：図1から図6〕つぎに、本発明の実施の形態における半導体装置の製造方法を説明する。なおこの実施形態の説明では、COG実装を例に取り、半導体装置の製造方法を説明する。

【0045】図2で示したように、半導体基板2上は半導体基板2のアルミ配線12の開口部を有する絶縁膜6で覆われている。

【0046】半導体基板2のアルミ配線12上に、電解メッキ時の共通電極をとるための共通電極膜14を形成する。この共通電極膜14は、半導体基板2全面に真空蒸着法、またはスパッタリング法により形成する。

【0047】共通電極膜14は、半導体基板2側からアルミニウム(A1)を0.8 μ m、クロム(Cr)を0.01 μ m、銅(Cu)を0.8 μ mの厚さにて順次形成する。

【0048】図2に示すように、共通電極の第1の膜であるアルミニウム(A1)の共通電極膜の形成したのち、すなわちクロム(Cr)と銅(Cu)を形成するまえに、4 μ m程度の針状突起をアルミニウム(A1)膜の表面に形成する。

【0049】針状突起は、アルミニウム(A1)薄膜表面から突き出した刺に似た突起である。針状突起は、一般にアルミニウム(A1)薄膜形成時、あるいは、アルミニウム(A1)シタのようなアルミニウム(A1)薄膜形成後に半導体基板2に加えられる温度サイクル時に発生する。

【0050】アルミニウム(A1)は、半導体基板2とこのアルミニウム(A1)の熱膨張係数差により、常温から400℃程度、さらには冷却までの温度サイクルを2回程度加えることで、針状突起が半導体基板2全面に発生し、針状の突起が形成される。

【0051】アルミニウム(A1)薄膜上の針状突起は、圧縮圧力の大きさに応じて成長するが、圧縮圧力の主な発生原因は、半導体基板2とアルミニウム(A1)薄膜の熱膨張係数の差である。

【0052】アルミニウム(A1)の熱膨張係数は23.5 $\times 10^{-6}$ ℃⁻¹であるが、半導体基板2は、2.5 $\times 10^{-6}$ ℃⁻¹である。

【0053】したがって、アルミニウム(A1)の薄膜を形成した半導体基板2に加熱、冷却等の温度サイクルを加えると、その上のアルミニウム(A1)薄膜は、10倍も伸縮しようとする。

【0054】この結果、圧縮圧力が発生し、針状突起の

成長を引き起こす。すなわち、図2に示したように、半導体基板2上には、針状の微小突起を多数形成することができる。

【0055】つぎに、針状突起を形成したアルミニウム(A1)上に、クロム(Cr)膜、銅(Cu)膜を順次形成する。

【0056】その後、図3に示すように、レジスト膜26である感光性樹脂(フォトリソグラーフ)を回転塗布法により共通電極膜14上の全面に厚さ17 μ mで形成する。

【0057】さらに、露光装置により所定のフォトマスクを使用して感光性樹脂を露光し、その後、現像処理を行なうフォトリソグラーフ処理により、感光性樹脂のパターンニングを行なう。

【0058】このパターンニングによって感光性樹脂は、後で突起電極4を形成する予定領域に開口を形成して、共通電極膜14を露出させる。

【0059】このとき、突起電極4をもうけるための開口部以外の針状突起42は、厚膜レジスト膜に覆われることになるため、突起電極を形成する開口部以外にメッキはされることが無い。

【0060】つぎに、図4に示すように、共通電極膜14をメッキ電極として用い、金メッキ処理により、ストレートウオール形状で10 μ m~15 μ mの厚さの突起電極4を感光性樹脂の開口内の共通電極膜14上に形成する。

【0061】このとき、共通電極膜14上に形成された針状突起42を核としながらメッキが等方的に成長するため、突起電極の最上面はフラットではなく、針状突起を核としたこぶ状の微小突起18が多数形成される。

【0062】その後、図5に示すように、レジスト膜である感光性樹脂を除去し、突起電極4をエッチングマスクに用いて、共通電極膜を湿式エッチング法によりエッチングし、図6に示すように、突起電極に整合した領域に下部電極を形成する。

【0063】最後に、半導体基板2内の隣接する半導体チップ8の境界部を切断(以下ダイシングと称す)することにより、半導体基板2を単個の半導体チップ8に切り分ける。

【0064】なお、図6で説明した共通電極膜をエッチング処理して下部電極を形成する際に湿式エッチングを行なうのは、つぎの理由による。

【0065】共通電極膜14は、半導体基板2側からアルミニウムを0.8 μ m、クロムを0.01 μ m、銅を0.8 μ mの厚さで3層構造で、前述のように形成しているため、乾式エッチング法では、被エッチング層と他層とのエッチング選択比を得るために使用するエッチングガスを使用しなければいけないので、その複合エッチングガスの選択が複雑になってしまうためである。

【0066】また、乾式エッチング法では、エッチング

加工するために要する時間が非常に長くなるため、工業的に生産する上で不利であり、さらにそのエッチング処理に使用する装置も高価なものになってしまうという問題点もあるためである。

【0067】しかしながら、湿式エッチング法によれば、エッチング選択比のとれるエッチング液を選択することで、大がかりな設備を必要とせずに、簡便にエッチング処理を行なうことができる。

【0068】〔半導体装置の実装構造の説明：図7から図9〕つぎに本発明における半導体装置の実装構造の最適な実施の形態について図面を用いて説明を行なう。

【0069】上述した製造方法により形成した半導体チップ8を、液晶表示パネルの回路基板であるガラス基板24に接続する。実装構造として液晶表示パネルを例にして図7から図9を参照して説明する。

【0070】図7に示したように、ガラス基板24上に半導体チップ8を実装するには、半導体素子の形成面側を下向きにするフェースダウンし、半導体チップ8上に形成された突起電極4とガラス基板24上に形成された透明電極46を位置合わせする。

【0071】そして、図8に示したように、半導体チップ8および半導体チップ8上に形成された突起電極4とガラス基板24およびガラス基板24上に形成された透明電極46との間にエポキシ等の熱硬化性樹脂30を介在させる。

【0072】さらに、図9に示したように、半導体チップ8をガラス基板24上にセットした状態で、半導体チップ8をガラス基板24に加圧しながら加熱処理することにより、半導体チップ上の突起電極4とガラス基板24上の透明電極46とを機械的および電気的に接続させる。

【0073】本発明の半導体装置の実装構造によれば接続ピッチ40 μ m以下、突起電極上部の接続面積に関しても2000 μ m²以下の超微細接続も可能になる。

【0074】

【発明の効果】以上説明したように、本発明による半導体装置の実装構造およびその製造方法によれば、ガラス基板上の透明電極パッド、および半導体チップ上の突起電極とをフェースダウン接続する際、半導体チップに形成する突起電極上に形成する微小突起で、多数の点接続をさせるため、接続ピッチの微細化を達成し、しかも接続抵抗の低抵抗化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態における半導体チップと回路基板を接続した状態を示す断面図である。

【図2】本発明の実施形態における半導体基板上に共通電極膜と針状突起を形成した状態を示す断面図である。

【図3】本発明の実施形態における半導体基板上に厚膜レジスト膜を形成した状態を示す断面図である。

【図4】本発明の実施形態における半導体基板上に金

(Au)メッキを行ない突起電極を形成した状態を示す断面図である。

【図5】本発明の実施形態における半導体基板上のレジストを除去した後の金(Au)の微小突起が形成されたストレート形状の突起電極完成した状態を示す断面図である。

【図6】本発明の実施形態における半導体基板上の共通電極膜を除去したのちにおける金(Au)の微小突起が形成されたストレート形状の突起電極完成した状態を示す断面図である。

【図7】本発明の実施形態における半導体チップとガラス基板位置合わせした状態を示す断面図である。

【図8】本発明の実施形態における半導体チップとガラス基板位置合わせ後、ガラス基板上にエポキシ樹脂などの熱硬化性樹脂を塗布した状態を示す断面図である。

【図9】本発明の実施形態における半導体チップとガラス基板熱圧着した状態を示す断面図である。

【図10】従来技術における液晶表示装置のCOGペースト実装で半導体チップを実装した状態を示す断面図である。

【図11】従来技術における半導体基板上に共通電極膜を形成した状態を示す断面図である。

【図12】従来技術における半導体基板上にレジスト膜を形成した状態を示す断面図である。

【図13】従来技術における半導体基板に電解メッキを行ない、 bumps を形成した状態を示す断面図である。

【図14】従来技術における半導体基板上のレジスト膜

を除去した状態を示す断面図である。

【図15】従来技術における半導体基板上の共通電極膜を除去した状態を示す断面図である。

【図16】従来技術における半導体チップ上の突起電極上に導電性接着剤を転写した状態を示す断面図である。

【図17】従来技術における半導体チップとガラス基板位置合わせした状態を示す断面図である。

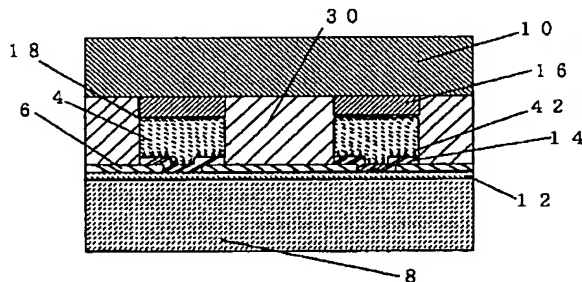
【図18】従来技術における半導体チップとガラス基板をボンディングした状態を示す断面図である。

【図19】従来技術における半導体チップとガラス基板を封止した状態を示す断面図である。

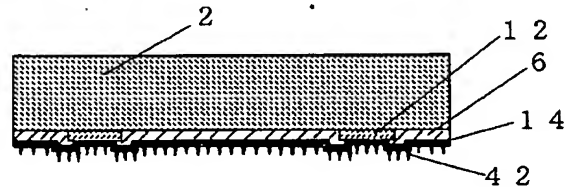
【符号の説明】

- | | |
|-------------------|---------------|
| 2 : 半導体基板 | 4 : 突起電極 |
| 6 : 絶縁膜 | |
| 8 : 半導体チップ | 10 : 回路基板 |
| 12 : アルミ配線 | 14 : 共通電極膜 |
| 16 : 電極パッド | 18 : こぶ状の微小突起 |
| 22 : 封止樹脂 | 24 : ガラス基板 |
| 26 : レジスト膜 | 28 : 液晶表示装置 |
| 30 : エポキシ等の熱硬化性樹脂 | 32 : FPC基板 |
| 36 : FPC用異方性導電膜 | 38 : 液晶表示装置 |
| 42 : 針状突起 | 44 : 導電性接着剤 |
| 46 : 透明電極 | 48 : 液晶 |
| 54 : シール材 | |

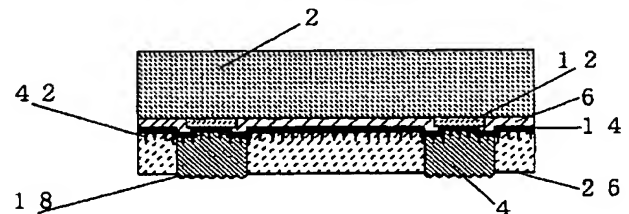
【図1】



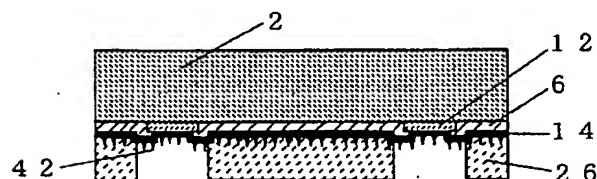
【図2】



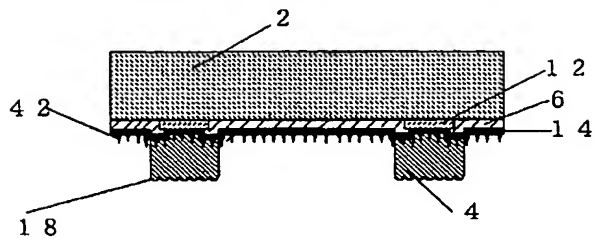
【図4】



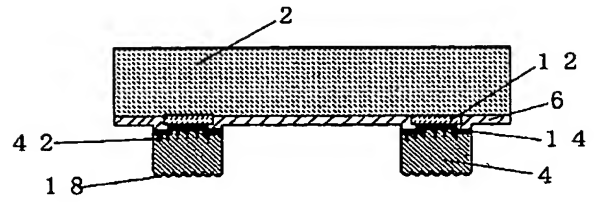
【図3】



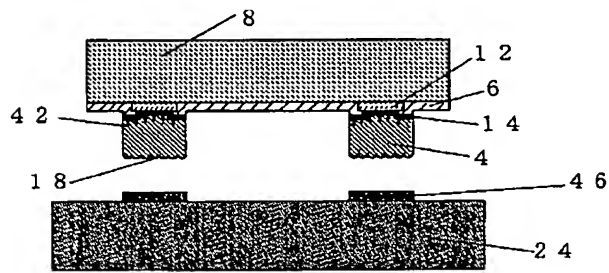
【図5】



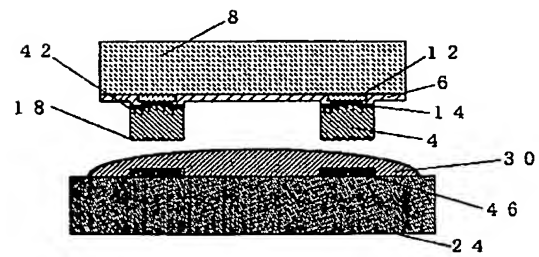
【図6】



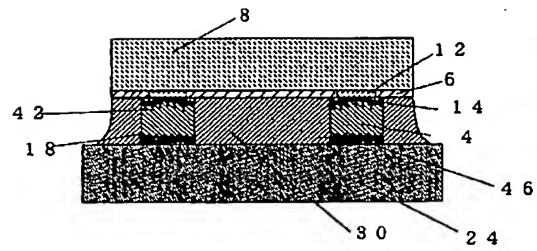
【図7】



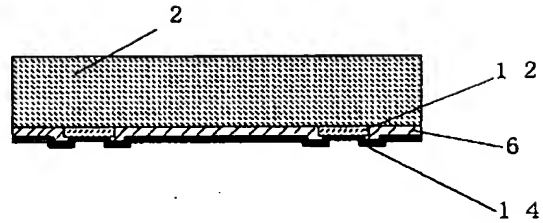
【図8】



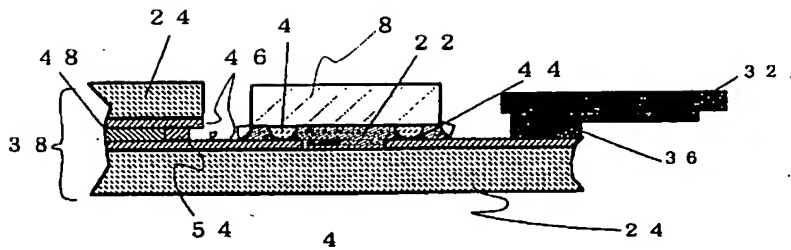
【図9】



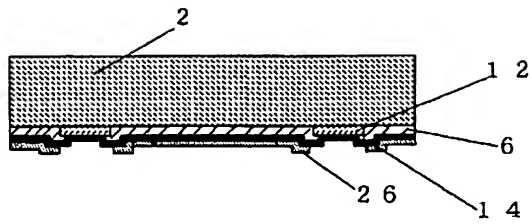
【図11】



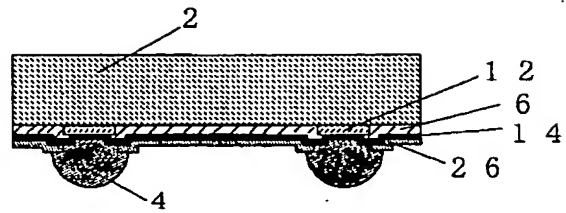
【図10】



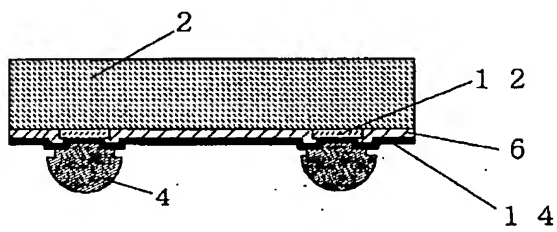
【図12】



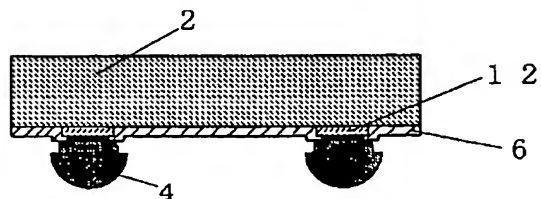
【図13】



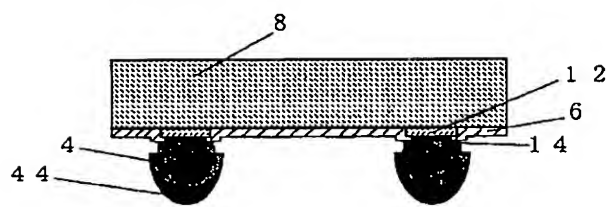
【図14】



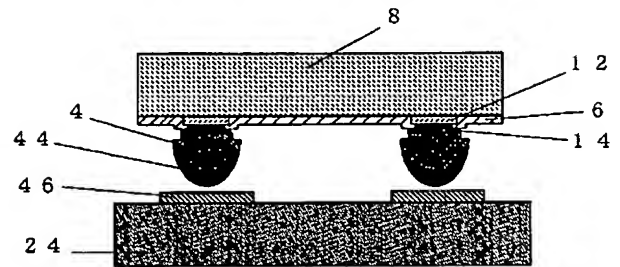
【図15】



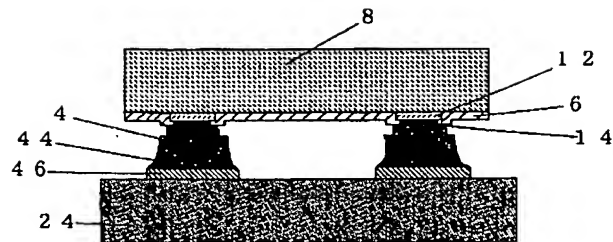
【図16】



【図17】



【図18】



【図19】

